

## Réseaux de Petri temporisés pour la synthèse de circuits pipelinés

Dans cette thèse, nous nous intéressons à l'optimisation des ressources consommées par un circuit implémentant une loi de commande pour la charge de véhicules électriques sur FPGA.

Tout d'abord, nous proposons une nouvelle solution au problème de la synthèse de pipeline minimisant les bascules et garantissant une fréquence minimale de fonctionnement. En se basant sur cette même approche, nous sommes capable de construire un pipeline permettant le pliage (ou multiplexage temporel) du circuit, c'est-à-dire qui permet la fusion de portions du circuit identiques en séquençant leur accès. Ainsi, les ressources consommées sont réduites à la fois en nombre de bascule et en nombre d'unités logiques.

Notre approche est basée sur un modèle de Réseau de Petri Temporisé avec des transitions retardables, pouvant rater leur date de tir, et une action spécifique appelée reset qui réinitialise les horloges de toutes les transitions. Ce modèle s'avère équivalent à un automate à une horloge. Une surclasse de ce modèle, les Réseaux de Petri Temporisés avec transitions retardables (sans reset), s'avère être incomparable, en terme d'expressivité en sémantique faible, avec les classes de Réseaux de Petri Temporels ou Temporisés en temps dense ou discret. Enfin, une exploration symbolique de ce modèle ainsi que des résultats de complexité théorique et pratique sont étudiés.

Mots-clés : Réseau de Petri Temporisé, synthèse de pipeline, pliage de circuit